

RS

2
9-26-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

11046 U.S. PTO
09/29/01
08/15/01

Applicant: Tomoyuki YORINAGA, et al
Title: ASYNCHRONOUS TRANSFER MODE SWITCH
Appl. No.: Unassigned
Filing Date: 08/15/2001
Examiner: Unassigned
Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPAN Patent Application No. 2000-246373 filed August 15, 2000.

Respectfully submitted,

Date August 15, 2001

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Aaron C. Chatterjee

for David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

Reg #41,398

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
09/929367
08/15/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月15日

出 願 番 号

Application Number:

特願2000-246373

出 願 人

Applicant(s):

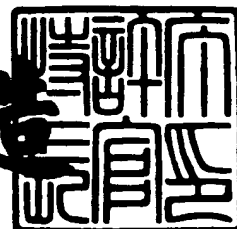
日本電気株式会社

日本電気通信システム株式会社

2001年 7月 2日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 40410455

【提出日】 平成12年 8月15日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/28

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 頼永 智之

【発明者】

 【住所又は居所】 東京都港区三田1丁目4番28号 日本電気通信システム株式会社内

 【氏名】 高橋 薫生

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【特許出願人】

 【識別番号】 000232254

 【氏名又は名称】 日本電気通信システム株式会社

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 9001713
【包括委任状番号】 9002496
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 A T M 交換機

【特許請求の範囲】

【請求項 1】 1 又は 2 以上の入力側回線インタフェースと、 1 又は 2 以上の出力側回線インタフェースと、 前記入力側回線インタフェースから入力されたセルを前記出力側回線インタフェースへ出力する非同期転送モード（A T M）コアスイッチとを含む A T M 交換機であって、

前記出力側回線インタフェースは、 V C 毎に蓄積されたセル数を入力側インタフェースにフィードバックし、 そのフィードバックに基づいて、 前記入力側インタフェースは仮想チャンネル（V C）のピークセルレート合計値が、 その V C が属する仮想バス（V P）のピークセルレートを超えないように、 前記セルのレートをシェーピングするとともに、

前記出力側回線インタフェースは、 V C 毎に蓄積されたセル数に基づいて、 その V C が属する V P のピークセルレートが、 その V P に属する V C のピークセルレート合計値を超えないようにすることを特徴とする A T M 交換機。

【請求項 2】 前記入力側回線インタフェースは、 物理レイヤ処理部と、 入力 V C セルレート制御部を含み、

前記物理レイヤ処理部で前記セルを終端して前記入力 V C セルレート制御部にそのセルを送り、

前記入力 V C セルレート制御部は、 前記フィードバックに基づいて V C 毎に前記セルのレートを制御することを特徴とする請求項 1 記載の A T M 交換機。

【請求項 3】 前記出力側回線インタフェースは、 V C 毎に蓄積したセル数を格納する出力 V C セルレート制御部と、 前記出力 V C セルレート制御部に格納されたセル数に基づいて V P 毎のセルレートを制御する出力 V P セルレート制御部と、 前記出力 V P セルレート制御部からのセルを回線に出力する物理レイヤとを備え、

前記出力 V C セルレート制御部は、 前記入力 V C セルレート制御部に前記セル数をフィードバックすることを特徴とする請求項 1 記載の A R M 交換機。

【請求項 4】 前記 A T M コアスイッチは、 全回線インタフェース部からの

セルを多重する多重手段と、セルに付与された出力ポート識別番号を自出力ポート番号と比較し一致したセルのみ通過させるフィルタ手段と、出力ポート毎にフィルタを通過したセルを一時蓄積し速度変換して前記出力側回線インタフェースへ出力するセルバッファとを備え、

前記セルバッファは、前記セルを先入れ先出しすることを特徴とする請求項 1 記載の A T M 交換機。

【請求項 5】 前記入力セルレート制御部は、入力セルの V P I / V C I に対応して、予め契約してある内容の入力回線番号、サービスクラス、最小セルレート、出力スイッチポート番号、スイッチ内コネクション識別番号を格納することを特徴とする請求項 2 記載の A T M 交換機。

【請求項 6】 前記出力 V C セルレート制御部は、セルのスイッチ内コネクション識別番号に対応して、予め契約してある内容のサービスクラス、V C 最小セルレート、V C ピークセルレート (V C P C R) 、 V P ピークセルレート (V P P C R V C P) 、出力回線番号、出力 V P I / V C I を格納することを特徴とする請求項 3 記載の A T M 交換機。

【発明の詳細な説明】

【 0 0 0 1 】

【発明が属する技術分野】

本発明は、A T M 交換機に関し、特に、セルの蓄積量に応じ、V C 毎及び V C 毎の出力レートをダイナミックに変化させるセルレートシェーピングを行う A T M 交換機に関する。

【 0 0 0 2 】

【従来の技術】

従来、A T M 交換機では、出力セルバッファ側にセルレートシェーピング機能を持ち、V C または V P 毎のピークセルレートを制御し、回線へ出力する。

【 0 0 0 3 】

【発明が解決しようとする課題】

仮想パス (V P) 内の各仮想チャンネル (V C) のピークセルレート合計値 ($\Sigma (V C P C R)$) 、 V P 内の各 V C の最小セルレート合計値 ($\Sigma (V C M C R$

))、VPのピークセルレート(VPPCR)に基づいて、 $\Sigma(VCMCR) \leq VPPCR \leq \Sigma(VCP CR)$ という条件で各VCの最小セルレート保証、VPおよび各VCのピークセルレートシェーピングを行ないたい場合があるが、従来のシェーパでは、VP毎にセルレートシェーピングを行なった場合、VP内の各VCの最小セルレート保証、ピークセルレートシェーピングを実現することができない。

【0004】

従来のシェーパを2段構成とし、前段でVC毎のピークセルレート、後段でVP毎のピークセルレートを制御する方法も考えられるが、各VCの最小セルレート保証を同時に実現するのは入力セルバッファ側へのフィードバック制御が複雑になり、実現できてもコスト高になるという問題がある。

【0005】

そこで、本発明は、VP毎のレートシェーピングによるセルの蓄積量に応じ、VC毎の出力レートを最小セルレートからピークセルレートまでダイナミックに変化させることにより、簡単な構成でVC毎、VP毎の階層シェーピングを実現することを課題としている。

【0006】

【課題を解決するための手段】

上記の課題を解決するための本発明は、1又は2以上の入力側回線インタフェースと、1又は2以上の出力側回線インタフェースと、前記入力側回線インタフェースから入力されたセルを前記出力側回線インタフェースへ出力する非同期転送モード(ATM)コアスイッチとを含むATM交換機であって、前記出力側回線インタフェースは、VC毎に蓄積されたセル数を入力側インタフェースにフィードバックし、そのフィードバックに基づいて、前記入力側インタフェースは仮想チャンネル(VC)のピークセルレート合計値が、そのVCが属する仮想パス(VP)のピークセルレートを超えないように、前記セルのレートをシェーピングするとともに、前記出力側回線インタフェースは、VC毎に蓄積されたセル数に基づいて、そのVCが属するVPのピークセルレートが、そのVPに属するVCのピークセルレート合計値を超えないようにしている。

【 0 0 0 7 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

【 0 0 0 8 】

図 1 は、本発明の A T M 交換機のブロック図である。この A T M 交換機は、入力側回線インタフェース部 1 0 0 ～ 1 N 0、A T M スイッチ部 2 0 0、出力側回線インタフェース部 3 0 0 ～ 3 N 0 からなる。

【 0 0 0 9 】

図 2 は、入力側回線インタフェース部 1 0 0 ～ 1 N 0 の V C セルレート制御部 1 0 1 のブロック図である。1 0 2 は、入力側コネクション情報テーブル 1 0 3 に基づいて、入力回線番号およびセルのヘッダの V P I / V C I から、そのセルのサービスクラス、最小セルレート、出力スイッチポート番号、スイッチ内コネクション識別番号等のコネクション情報を得て、そのセルに付与する入力側コネクション情報付与部である。

【 0 0 1 0 】

1 0 3 は、入力側コネクション情報テーブルである。

【 0 0 1 1 】

1 0 4 は、V C 毎にセルをキューイングする入力セルバッファである。

【 0 0 1 2 】

1 0 5 は、セルに付与されたコネクション情報に応じ、セルをバッファから読み出し、A T M コアスイッチ部 2 0 0 へ出力するセルのトラヒック優先制御、レート制御を行なうセルレート制御部である。

【 0 0 1 3 】

各 V C のセルは、各出力側回線インタフェース 3 0 0 ～ 3 N 0 でのセル蓄積量を示す V C セルレート制御信号に応じ、最小セルレートまたはそれ以上で出力される。

【 0 0 1 4 】

図 3 は、入力側コネクション情報テーブル 1 0 3 の一例である。入力セルの V P I / V C I に対応して、予め契約してある内容の入力回線番号、サービスクラ

ス、最小セルレート、出力スイッチポート番号、スイッチ内コネクション識別番号が、このテーブルに格納されている。

【 0 0 1 5 】

図 4 は、ATM コア スイッチ 部 2 0 0 の ブロック 図 である。

【 0 0 1 6 】

2 0 1 は、全回線インタフェース部からのセルを全て多重し、高速バスへ出力するセル多重部である。

【 0 0 1 7 】

2 0 2 は、セルに付与された出力ポート識別番号を自出力ポート番号と比較し一致したセルのみ通過させるセルフィルタである。

【 0 0 1 8 】

2 0 3 は、出力ポート毎にフィルタを通過したセルを一時蓄積し、速度変換し出力側回線インタフェース部 3 0 0 ～ 3 N 0 へ出力（F I F O 動作）するセルバッファである。

【 0 0 1 9 】

図 5 は、出力側回線インタフェース部 3 0 0 の V C セルレート制御部 3 0 1 及び V P セルレート制御部 3 0 2 のブロック図である。V C セルレート制御部 3 N 1 及び V P セルレート制御部 3 N 2 も同様である。

【 0 0 2 0 】

3 0 2 は、V P 毎にセルをバッファにキューイングし、セルに付与されたコネクション情報に応じ、セルをバッファから読み出し、回線へ出力するセルのトラヒック優先制御、レート制御を行なうセルレート制御部である。各 V P のセルは、ピークセルレート以下で出力される。

【 0 0 2 1 】

3 0 3 は、出力側コネクション情報テーブル 3 0 4 でセルに付与されたスイッチ内コネクション識別番号からサービスクラス、V C 最小セルレート、V C ピークセルレート、V P ピークセルレート、出力回線番号、出力 V P I / V C I などのコネクション情報を得てセルに付与する出力側コネクション情報付与部である。

【 0 0 2 2 】

3 0 4 は、出力側コネクション情報テーブルの一例である。

【 0 0 2 3 】

3 0 5 は、VC毎にセルをキューイングする出力セルバッファである。

【 0 0 2 4 】

3 0 6 は、セルに付与されたコネクション情報に応じ、セルをバッファから読み出し、出力するセルのトラヒック優先制御、レート制御を行なうセルレート制御部である。各VCのセルは、後段のVPセルレート制御部でのセル蓄積量を示すVPセルレート制御信号に応じ、最小セルレート以上、ピークセルレート以下で出力される。

【 0 0 2 5 】

図 6 は、出力側コネクション情報テーブルの一例である。ATMコアスイッチ部 2 0 0 から入力された入力セルのスイッチ内コネクション識別番号に対応して、予め契約してある内容のサービスクラス、VC最小セルレート、VCピークセルレート（VCPCR）、VPピークセルレート（VPPCRVCPR）、出力回線番号、出力VPI/VCIが、このテーブルに格納されている。

【 0 0 2 6 】

次に、本発明のセルレートシェーバの動作について説明する。

【 0 0 2 7 】

回線からのセルは、物理レイヤ処理部で終端され、入力VCセルレート制御部 1 0 1 へ入る。

【 0 0 2 8 】

入力側のコネクション情報付与部 1 0 2 は、コネクション情報テーブル 1 0 3 を参照して、入力回線番号およびセルのヘッダのVPI/VCIからサービスクラス、最小セルレート、スイッチ出力ポート識別番号、スイッチ内コネクション識別番号などのコネクション情報をセルに付与する。

【 0 0 2 9 】

ここに、入力回線番号は複数の入力側回線インタフェース部 1 0 0 ～ 1 N 1 を使用して、複数の回線、この場合（N + 1）本の回線、を収容するために必要で

ある。

【0030】

入力セルバッファ104では、セルをVC毎にキューイングする。

【0031】

セルレート制御部105は、セルに付与されたコネクション情報に応じ、入力セルバッファからセルを読み出し、ATMコアスイッチ部へ出力するセルのトラヒック優先制御、レート制御を行なう。ここに、VCセルレート制御信号は、出力側回線インタフェースの出力セルレート制御部301から3N1からフィードバックされる。更に、このセルレート制御信号は、各出力側回線インタフェース300～3N0でのセル蓄積量を示す信号である。

【0032】

そして、出力側回線インタフェース300～3N0からのセルレート制御信号に基づいて、入力側回線インタフェース101～IN1は、 $\Sigma(VCMCR) \leq VPPCR \leq \Sigma(VCP CR)$ という条件で各VCの最小セルレート保証、VPおよび各VCのピークセルレートシェーピングを行なう。すなわち、VCセルレート制御信号に応じ、各VCのセルは最小セルレートまたはそれ以上で出力される。

【0033】

ATMスイッチ部200では、全回線インタフェース部からのセルを全て多重し、高速バスへ出力する。

【0034】

セルフィルタ202～2N2は、セルに付与されたスイッチ出力ポート識別番号を自出力ポート番号と比較し一致したセルのみ通過させる。

【0035】

セルバッファ203～2N3は出力ポート毎にフィルタを通過したセルを一時蓄積し、速度変換し回線インタフェース部へFIFO動作によって出力する。

【0036】

出力側回線インタフェース部のコネクション情報付与部303は、コネクション情報テーブル304でセルに付与されたスイッチ内コネクション識別番号から

サービスクラス、VC最小セルレート、VCピークセルレート、VPピークセルレート、出力回線番号、出力VPI/VCIなどのコネクション情報を得てセルに付与する。

【0037】

出力セルバッファ305では、セルをVC毎にキューイングする。

【0038】

VCセルレート制御部306は、セルに付与されたコネクション情報に応じ、出力セルバッファからセルを読み出し、出力するセルのトラフィック優先制御、レート制御を行なう。各VCのセルは、後段のVPセルレート制御部302～3N2でのセル蓄積量を示すVPセルレート制御信号に応じ、最小セルレート以上、ピークセルレート以下で出力される。

【0039】

出力VPセルレート制御部302～3N2は、VP毎にセルをバッファにキューイングし、セルに付与されたコネクション情報に応じ、セルをバッファから読み出し、回線へ出力するセルのトラフィック優先制御、レート制御を行なうセルレート制御部である。各VPのセルは、ピークセルレート以下で出力される。

【0040】

【発明の効果】

以上説明した本発明によれば、VC毎、VP毎の階層シェーピングを簡単な構成、制御で実現できる。

【図面の簡単な説明】

【図1】

本発明のセルレートシェーバのブロック図

【図2】

入力側回線インタフェース部のVCセルレート制御部のブロック図

【図3】

入力側コネクション情報テーブルの一例を示す表

【図4】

ATMコアスイッチのブロック図

【図 5】

出力側回線インタフェース部のVCセルレート制御部及びVPセルレート制御部のブロック図

【図 6】

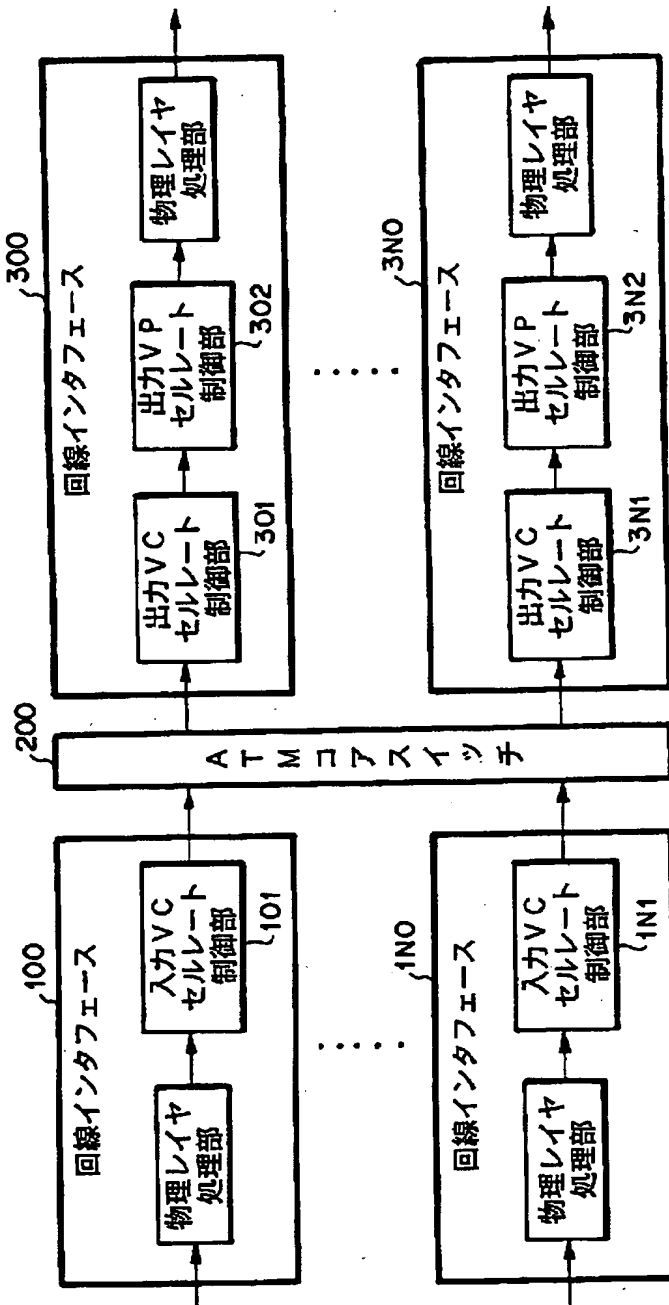
出力側コネクション情報テーブルの一例を示す表

【符号の説明】

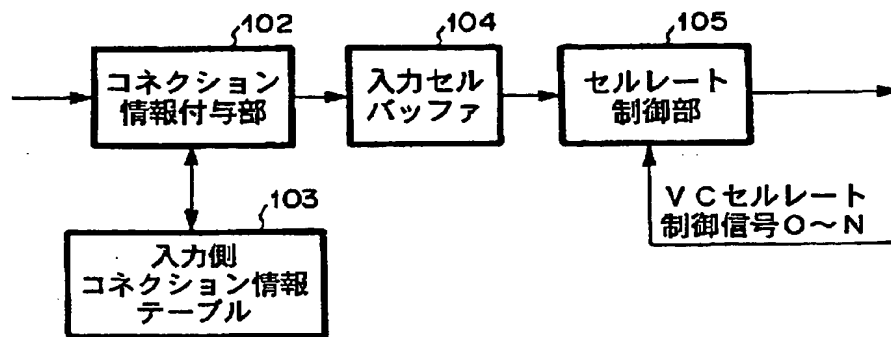
- 100～1N0 入力側回線インタフェース部
- 101～1N1 入力VCセルレート制御部
- 102 入力側コネクション情報付与部
- 103 入力側コネクション情報テーブル
- 104 入力セルバッファ
- 105 セルレート制御部
- 200 ATMコアスイッチ部
- 201 セル多重部
- 202～2N2 セルフィルタ
- 203～2N3 セルバッファ
- 300～3N0 出力側回線インタフェース部
- 301～3N1 出力VCセルレート制御部
- 302～3N2 出力VPセルレート制御部
- 303 出力側コネクション情報付与部
- 304 出力側コネクション情報テーブル
- 305 出力セルバッファ
- 306 VCセルレート制御部

【書類名】 図面

【図 1】



【図 2】

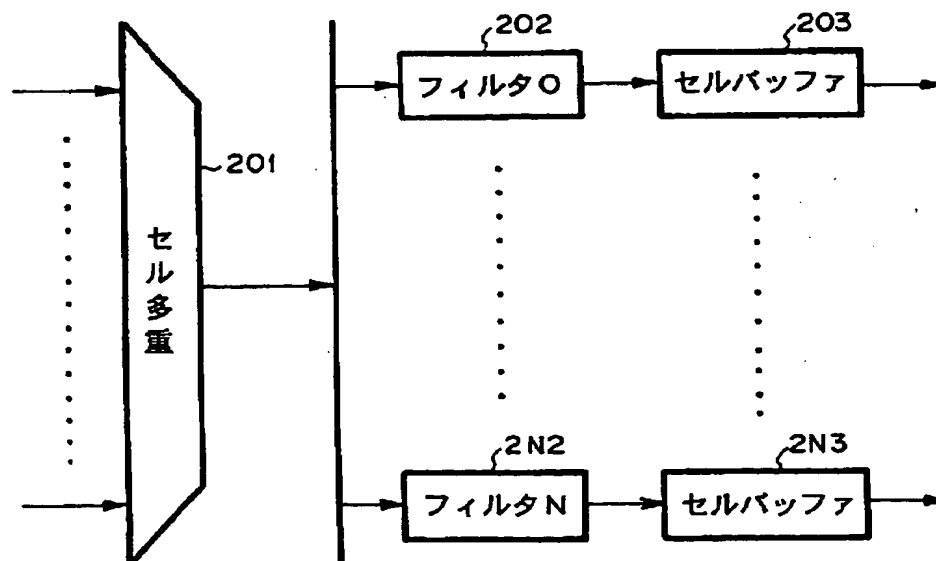


【図 3】

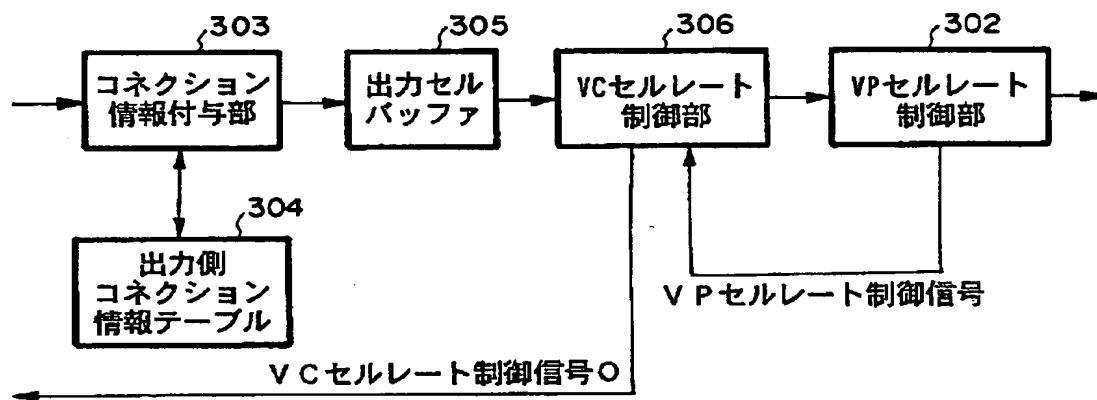
入力側コネクション情報テーブル

入力回線番号/ VPI/VCI	サービス クラス	最小 セルレート	出力スイッチ ポート番号	スイッチ内 コネクション 識別番号
0/0/32	0	1200	0	1000
0/0/33	1	100	4	2000
⋮	⋮	⋮	⋮	⋮
— — —	—	—	—	—

【図 4】



【図 5】



【図 6】

出力側コネクション情報テーブル

スイッチ内 コネクション 識別番号	サービ スクラス	VC最小 セルレート	VCピーク セルレート	VPピーク セルレート	出力回線番号	出力VPI/VCI
1000	0	1200	2000	6000	0	0/32
2000	1	100	200	600	2	0/33
⋮	⋮	⋮	⋮	⋮	⋮	⋮
—	—	—	—	—	—	—

【書類名】 要約書

【要約】

【課題】 VP毎のレートシェーピングによるセルの蓄積量に応じVC毎の出力レートをダイナミックに変化させVC毎VP毎のレートシェーピングを行う。

【解決手段】 セルバッファ203～2N3からFIFO動作でセルを接続情報付与部303に送り、セルに付与されたスイッチ内接続識別番号からサービスクラス等の接続情報を得てセルに付与する。出力セルバッファ305ではセルをVC毎にキューイングする。VCセルレート制御部306は、接続情報に応じ、出力セルバッファからセルを読み出し、出力するセルのトラヒック優先制御、レート制御を行なう。各VCのセルは、後段のVPセルレート制御部でのセル蓄積量を示すVPセルレート制御信号に応じ、最小セルレート以上ピークセルレート以下で出力される。302は、VP毎にセルをバッファにキューイングし、セルのトラヒック優先制御、レート制御を行なう。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000232254]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都港区三田1丁目4番28号
氏 名	日本電気通信システム株式会社